

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140570

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H01L 27/04

C01G 29/00

H01G 4/10

H01L 21/314

H01L 27/108

(21)Application number : 04-287768

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.10.1992

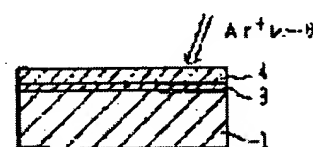
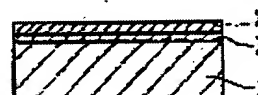
(72)Inventor : OTANI NARIMOTO

(54) ELECTRONIC COMPONENT HAVING DIELECTRIC THIN FILM OF HIGH DIELECTRIC CONSTANT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a dielectric thin film with high dielectric constant and good insulation, by forming an $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ -based dielectric thin film on a base substrate with a conductive surface or on a silicon substrate with a silicide- layer surface.

CONSTITUTION: A platinum thin film 2 is deposited on a silicon substrate 1 in a RF sputtering method so that a platinum silicide layer 3 is produced at an interface between the platinum thin film 2 and the silicon substrate 1. The platinum thin film 2 is removed in a dry etching step with a HBr gas, and the platinum silicide layer 3 is exposed. Then, a $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ film 4 is deposited at 300° C, and the surface of the amorphous $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ film 4 is crystallized in a laser annealing step at temperatures ranging from a room temperature to 300° C. Then, the film 4 has properties with high dielectric constant. In this case, Bi in $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ is so adjusted that a mixed crystal ratio (X) of Bi ranges from 0.05 to 0.5, especially from 0.1 to 0.3, preferably.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-140570

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	C	8427-4M		
C 0 1 G 29/00				
H 0 1 G 4/10		9375-5E		
H 0 1 L 21/314	A	7352-4M		
		7210-4M		
			H 0 1 L 27/ 10	3 2 5 C

審査請求 未請求 請求項の数5(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-287768

(22)出願日 平成4年(1992)10月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 大谷 成元

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

(54)【発明の名称】 高誘電率誘電体薄膜を有する電子部品とその製造方法

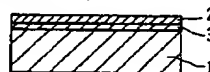
(57)【要約】

【目的】 SrTiO_3 系の高誘電率の誘電体膜を有する電子部品とその製造方法に関し、良好な絶縁特性と、高い誘電率を有する SrTiO_3 系誘電体膜を有する電子部品を提供することを目的とする。

【構成】 導電性表面を有する下地基板と、前記下地基板上に形成された $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ ($0.05 \leq x \leq 0.5$) の誘電体薄膜とを有する。

基本実施例

(A) 金属層の堆積



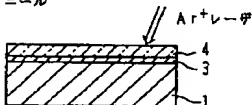
(B) 金属層の除去



(C) $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜の低温堆積



(D) レーザアニール



1: Si 基板 3: 金属シリサイド層
2: 金属層 4: $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜

【特許請求の範囲】

【請求項1】 導電性表面を有する下地基板と、前記下地基板上に形成された $\text{SrTi}_{1-x}\text{Bi}_x\text{O}$ 、 $(0.05 \leq x \leq 0.5)$ の誘電体薄膜とを有する高誘電率誘電体薄膜を有する電子部品。

【請求項2】 前記下地基板が表面にシリサイド層を有するSi基板であり、前記組成xが $0.1 \leq x \leq 0.3$ である請求項1記載の高誘電率誘電体薄膜を有する電子部品。

【請求項3】 前記下地基板が表面に硅酸ビスマス層を有するSi基板であり、前記組成xが $0.1 \leq x \leq 0.4$ である請求項1記載の高誘電率誘電体薄膜を有する電子部品。

【請求項4】 Si基板(1)上に金属層(2)を堆積して界面に金属シリサイド層(3)を形成する工程と、前記金属層(2)を選択的に除去し、表面に金属シリサイド層(3)を残す工程と、露呈した前記金属シリサイド層(3)上に 400°C 以下の低温で非晶質 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}$ 膜(4)を堆積する工程と、

400°C 以下の温度で前記 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}$ 膜(4)をレーザアニールまたは急速加熱処理(ラピッド・サーマル・アニール)して結晶化する工程とを含む高誘電率誘電体薄膜を有する電子部品の製造方法。

【請求項5】 Si基板(1)上にBiと酸素を供給し、Si基板をSiソースとして表面に硅酸ビスマス層を形成する工程と、

硅酸ビスマス層上に 400°C 以下の低温で非晶質 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}$ 膜(4)を堆積する工程と、 400°C 以下の温度で前記 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}$ 膜(4)をレーザアニールまたは急速加熱処理(ラピッド・サーマル・アニール)して結晶化する工程とを含む高誘電率誘電体薄膜を有する電子部品の製造方法。

【発明の詳細な説明】

$$C = \epsilon_0 \cdot \epsilon_r \cdot S / d$$

ここで ϵ_r は真空の誘電率である。なお、以下、単に誘電率と言う時は比誘電率を指す。

【0007】キャパシタの静電容量を増大させるためには、電極面積Sの増大、誘電体膜の膜厚dの減少、誘電体の比誘電率 ϵ_r の増大を行えばよい。従来は主に、誘電体としては SiO_2 や Si_3N_4 を用い、キャパシタの電極面積Sを増大することと、誘電体膜の膜厚dを減少することによってキャパシタの容量を増大させてきた。

【0008】しかしながら、キャパシタ誘電体膜の薄膜化は物理的限界に直面しつつある。従来用いられてきた Si_3N_4 、 SiO_2 積層膜では、 SiO_2 膜換算で5nm以下に薄膜化すると、リーク電流が増大する。したがって、キャパシタの誘電体膜をこれ以上薄膜化することは極めて困難である。

*【0001】

【産業上の利用分野】本発明は、高誘電率の誘電体膜を有する電子部品に関し、特に SrTiO_3 系の高誘電率の誘電体膜を有する電子部品とその製造方法に関する。

【0002】誘電体膜は、絶縁性を有すると共に、電界を伝達する媒質として利用される。たとえば、ダイナミックランダムアクセスメモリ(DRAM)のキャパシタ誘電膜や、絶縁ゲート型電界効果トランジスタ(IGFET)のゲート絶縁膜として用いられている。

【0003】これらの用途においては、誘電体膜はできるだけ高い誘電率を有することが望まれる。半導体装置における誘電体膜は、通常 SiO_2 や Si_3N_4 等が用いられてきた。しかしながら、これらの誘電体膜の誘電率は必ずしも高いとは言えず、さらに高誘電率の誘電体膜が要求されている。

【0004】

【従来の技術】たとえば、DRAMにおいては、ますます高集積化が進められている。現在開発が進められている64Mビットメモリでは、メモリセル面積が約 $1.5 \mu\text{m}^2$ となる上に、消費電力の増大を抑制するために、低電圧動作も必要とされる。小面積、低電圧で所望の電荷を蓄積できるキャパシタを実現するためには、キャパシタ誘電体膜を薄くして同一面積で得られるキャパシタ容量を増大させることが望まれる。

【0005】DRAMにおいては、 α 線によるソフトエラーを防止することが必要である。 α 線入射によって発生する電荷量は一定であるため、DRAMのキャパシタ容量はセル面積が縮小しても大幅に減少することはできない。キャパシタに蓄積できる信号電荷量は、静電容量と動作電圧の積となるため、電源電圧を低下させると、静電容量をさらに増大させることが必要となる。

【0006】キャパシタの静電容量Cは、キャパシタの電極面積S、誘電体膜の膜厚d、誘電体の比誘電率 ϵ_r と次の関係にある。

$$C = \epsilon_0 \cdot \epsilon_r \cdot S / d$$

【0009】このため、 SiO_2 膜換算で4nm以下の薄膜化が可能なキャパシタ誘電体膜が望まれている。この要請に基づいて、 PZT 、 CaTiO_3 、 SrTiO_3 、 PbTiO_3 、 BaTiO_3 、 $\text{Bi}_2\text{Ti}_2\text{O}_7$ 、 $\text{Sr}_2\text{Bi}_2\text{Ti}_2\text{O}_{10}$ 等の高誘電率薄膜が開発されている。以下、 SrTiO_3 系誘電体薄膜について説明する。

【0010】 SrTiO_3 は酸化物であるため、Si基板上に直接形成しようとする、界面に SiO_2 の発生を防止することが難しい。このため、一般にSi基板上に PbTiO_3 薄膜を形成する場合は、まずSi基板上にPt膜等のバリアメタル層を形成し、この上に SrTiO_3 薄膜を形成する。

【0011】

【発明が解決しようとする課題】 SrTiO_3 は、室温

付近では強誘電体でなく、安定な性質を有するが、Pt層上等に薄膜化した時、得られる誘電率は100程度である。この値は、他の高誘電率誘電体の誘電率と比べて決して高いとは言えない。

【0012】本発明の目的は、良好な絶縁特性と、高い誘電率を有する SrTiO_3 系誘電体膜を有する電子部品を提供することである。

【0013】

【課題を解決するための手段】本発明の高誘電率誘電体薄膜を有する電子部品は、導電性表面を有する下地基板と、前記下地基板上に形成された $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 、 $(0.05 \leq x \leq 0.5)$ の誘電体薄膜とを有する。

【0014】

【作用】 SrTiO_3 系誘電体薄膜において、TiをBiで置換すると、誘電体薄膜の誘電率が向上することが判った。

【0015】ただし、Biの置換量は、所定の範囲内に収めることが必要である。

【0016】

【実施例】半導体装置において、誘電体薄膜を用いる場合、多くの場合はSi基板に形成したトランジスタ等と組合せて用いる。このような場合、基板はSiであり、その表面上に誘電体薄膜を形成する必要が生じる。

【0017】図1は、本発明の実施例による高誘電率誘電体薄膜の製造工程の説明図である。図1(A)に示すように、pまたはn型のSi基板1上に、金属層2を堆積する。金属層2の材料はSiと化合してシリサイドを形成するもので、Pt、Pd、Ti、Zr、Nb、Ta、Cr、Mo、W等である。

【0018】形成方法は、たとえば物理的気相堆積(PVD)法が用いられる。この時、Si基板1と金属層2の界面領域には、厚さ10Å程度の非常に薄い金属シリサイド層3が形成される。たとえば、Pt薄膜をRFマグネトロンスパッタリングによって堆積する。この場合、ターゲットとしてPtメタルを用いる。

【0019】Si基板上に、金属層を堆積させる過程で界面に生じる金属シリサイドは、十分薄いため、金属層を除去した際、露呈するシリサイド表面上に SrTiO_3 系薄膜を堆積させても、段差被覆性が悪くなる問題が生じることはない。この金属シリサイド薄膜層は、Siと後に形成する $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ との間に生じる反応を抑制するため、 SiO_2 の生成は事実上無視できる。

【0020】次に、図1(B)に示すように、HBrガスを用いた反応性イオンエッチング(RIE)等のドライエッチングを用いて金属層2を選択的に除去する。この時、金属シリサイド層3がエッチングストップとして働く。したがって、表面には金属シリサイド層が露呈する。

【0021】次に、図1(C)で示すように、400℃

以下の比較的低温で高純度の非晶質 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜4の堆積を行なう。なお、本明細書で非晶質とは結晶学的な結晶骨格が不備な状態、たとえばX線のピークが一部のみ存在する状態を指し、必ずしも完全な非晶質状態を意味しない。成膜方法は、たとえばMOMBE法による。

【0022】次に、図1(D)で示すように、 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜4表面をレーザアニールする。アニールは大気中で行なわれ、試料温度は常温から300℃の間の適当な温度とする。高温にするほどアニール時間は短くて済むが、成分が一部蒸発してストイキオメリーからずれる恐れがある。

【0023】アニールは、レーザスキャンに代えて、赤外線による高速加熱処理(ラビッド・サーマル・アニール)を用いることもできる。いずれにしても、この工程によって非晶質 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜4は結晶化し、高誘電率を示すようになる。

【0024】 $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ のBi混晶比xは、0.05~0.5の範囲、特に0.1~0.3の間の適当な値をとることが望ましい。この範囲のBiを添加することによって誘電率を著しく高めることができる。x>0.3の領域では、ヒスマス酸化物の析出がみられ、比誘電率 ϵ_r は低下する。

【0025】以下に、具体的な実施例によるデータを示す。図1に示すように、Si基板1上に、RFスパッタリング法により白金薄膜2を堆積する。スパッタ条件は、高周波電力200~400W、Ar雰囲気(Ar分圧0.5Pa)、基板温度常温とした。白金薄膜の厚みは10nmとした。Si基板1と白金薄膜2との界面には白金シリサイド層3が発生する。

【0026】次に、白金薄膜2をHBrガスを用いてドライエッチングし、除去する。この結果、白金シリサイド層3が露呈する。Si基板上に形成されている白金シリサイド層3の厚みは10Å以下である。

【0027】次に、試料を図2に示すMOMBE装置内に導入し、白金シリサイド層上に $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜を300℃で堆積した。低温堆積は堆積膜と下地との反応を防ぎ、堆積膜の組成ずれを防ぎ、高純度性を保つ上で効果がある。

【0028】図2において、MOMBE装置10は、高真空に排気可能なチャンバ12を有する。試料7は、チャンバ12内のサセプタ14上に載置される。サセプタ14は、ヒータ28を含み、試料7を所望の温度に加熱することができる。

【0029】チャンバ12には、ベッセル16a、16b、電子サイクロトロンレゾナンス(ECR)構造を備えたガスノズル18、クヌードセン(K)セル20等を備え、所望のソース材料を供給することができる。

【0030】また、チャンバ12には、試料7上に堆積した膜を調べるための反射高エネルギー電子線回折用の電

子銃22、スクリーン23が備えられている。また、サセプタ14近傍には、水晶振動子を含む膜厚計25も配置されている。

【0031】さらに、サセプタ14後方には、飛来するガスを分析するための核四重極質量分析装置26が備えられている。なお、ベッセル16にもそれぞれヒータ17が設けられ、ベッセル内の試料を所望の温度に加熱することができる。

【0032】MOMBEでは、原料としてSr金属、テトライソプロポキシチタン $Ti(i-OC$
, $H_7)_4$ 、トリフェニルビスマス $Bi(ph)_3$ を用いた。Sr金属はクヌードセンセル(Kセル)20内に充填されており、480°Cに加熱される。

【0033】また、 $Ti(i-OC, H_7)_4$ はベッセル16b内に収容され、50°Cに加熱され、2sccmのArガスによってバブリングされてチャンバ内に輸送される。一方、 $Bi(ph)_3$ はベッセル16a内に収容され、120°Cに加熱され、適量のArガスでチャンバ内に運ばれる。

【0034】これら有機化合物は、300°Cに加熱された基板上で熱分解され、Srと共に酸化物に合成される。酸素は、ECRガスプラズマで活性化されて基板上へ供給される。成膜中の酸素分圧は、 $1 \sim 9 \times 10^{-3}$ Torrとした。この状態で堆積した $SrTi_{1-x}Bi_xO_3$ 膜は非晶質であった。

【0035】次に、試料を図3に示すArイオンレーザアニール装置に設置し、 $SrTi_{1-x}Bi_xO_3$ 膜表面にレーザを照射した。レーザを走査することにより所望面積をレーザ照射し、レーザアニールした。

【0036】図3において、試料7は、XYステージ51の上に載置される。Arレーザ55から発する光は、光学系、フィルタ56を介してXYステージ51上方のミラー57によって反射され、レンズ58を介して試料7上に照射する。なお、試料7は、XYステージ51上に設けられたヒータ52によって所望温度に加熱される。

【0037】レーザは、マルチラインの連続発振(cw)Arイオンレーザであり、試料温度は300°Cとした。照射条件は、レーザパワー0.5W、集光レンズ58の焦点25mm、スキャンスピード150mm/sec、送り幅2μmである。得られた膜は多結晶化していた。

【0038】図2の装置で成膜時のBi供給量を変化させて混晶組成xの異なる $SrTi_{1-x}Bi_xO_3$ 膜を堆積させ、レーザアニールした後の試料の比誘電率 ϵ_r を測定した。

【0039】測定結果を図4に示す。横軸は $SrTi_{1-x}Bi_xO_3$ の混晶組成xを示し、縦軸は比誘電率を示す。比誘電率 ϵ_r は、 $0.05 \leq x \leq 0.5$ 、特に
 $0.1 \leq x \leq 0.3$ の範囲で高く、 $x=0.2$ で最大値

540を示す。このように、Ptシリサイド上に適量のTiをBiで置換した $SrTiO_3$ 系薄膜を形成することにより、極めて高い誘電率が得られる。

【0040】 $SrTi_{1-x}Bi_xO_3$ は、シリサイド上のみでなく、他のバッファ層上に堆積、アニールした場合も高い比誘電率を示す。たとえば、Si基板上にMOMBE法を用いて厚さ10~20Åの $Bi_{1-x}Si_xO_2$ を堆積させ、その上に前記と同様の工程で $SrTi_{1-x}Bi_xO_3$ 薄膜を成膜した時の比誘電率は、図5のようになった。

【0041】図5において、横軸、縦軸は図4と同様、混晶組成xと比誘電率 ϵ_r を示す。 $0.05 \leq x \leq 0.5$ 、特に $0.1 \leq x \leq 0.4$ の範囲で高い比誘電率が得られ、Bi混晶効果が生じていることが判る。この場合、比誘電率の最大値は420($x=0.2 \sim 0.3$)であった。

【0042】これらの誘電体膜は段差被覆性にも優れており、したがって高集積DRAMのキャパシタ用絶縁膜等にも用いる。図6に本発明の $SrTi_{1-x}Bi_xO_3$ 膜を利用した平坦化スタックセルの構成例を示す。高誘電率絶縁体が用いるために、キャパシタは平面型でも必要電荷量を確保できる。

【0043】p型Si基板31の表面には、フィールド酸化膜32が選択的に形成されている。フィールド酸化膜32によって囲まれた能動領域に、2つのMOSFETが形成されている。すなわち、チャンネルとなる領域上にゲート酸化膜を介して多結晶ゲート電極33a、33bが形成され、その両側にソース領域となる n^+ 型領域34、ドレイン領域となる n^+ 型領域35a、35bが形成されている。

【0044】 n^+ 型領域35a、35b上には、拡散源として機能する n^+ 型多結晶Si領域37が形成され、 n^+ 型領域34上にも n^+ 型多結晶Si領域38が形成されている。多結晶Si領域38の上には、データ線となる金属電極39が形成されている。

【0045】金属電極39を絶縁物で覆った後、層間絶縁膜41が形成され、多結晶Si領域37上に開口が設けられている。この開口内には引出電極となる電極43が埋め込まれ、層間絶縁膜41の表面と共に平坦化されている。

【0046】平坦化された表面上には、下部電極となるPt層45が選択的に形成され、その上に $SrTi_{1-x}Bi_xO_3$ で形成されたキャパシタ誘電体薄膜46が形成されている。これらの上に、プレート電極となる金属電極48が形成されている。

【0047】すなわち、図示の構造においては、中央のソース領域34の両側にMOSFETが形成され、各MOSFETはプレート電極48に接続されたキャパシタに接続されている。これらのキャパシタは、キャパシタ誘電体膜が極めて高い誘電率を示す $SrTi_{1-x}Bi_xO_3$

10

20

30

40

50

O₃で形成されているため、高い静電容量を有する。

【0048】従来のSi₃N₄/SiO₂誘電体に比べて約2桁大きな比誘電率が得られるため、小面積の2次元キャパシタでも必要な蓄積電荷量が確保できるので、セル構造が単純化できる。

【0049】なお、DRAMの構成例を説明したが、上述の高誘電率薄膜を薄膜トランジスタ(TFT)のゲート絶縁膜や電界発光(EL)素子の絶縁膜等としても用いることができる。

【0050】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0051】

【発明の効果】以上説明したように、本発明によればSiO₂系より非常に高い誘電率を示す誘電体薄膜を有する電子部品が提供される。

【図面の簡単な説明】

【図1】実施例による高誘電率SrTi_{1-x}Bi_xO₃膜形成の工程を示す断面図である。

【図2】MOMBE装置の構成概略を示す断面図である。

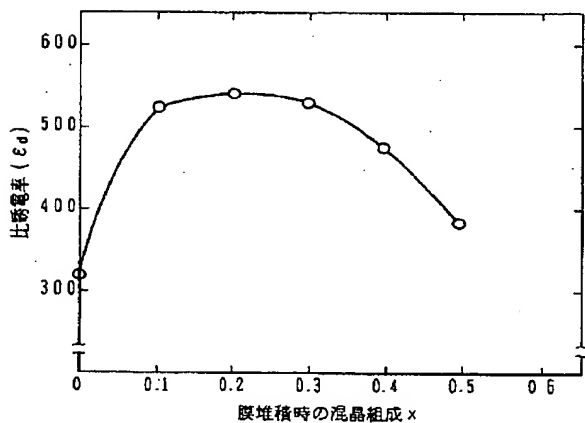
【図3】レーザアニール装置の構成概略を示す斜視図である。

【図4】白金シリサイド上に形成した高誘電率SrTi_{1-x}Bi_xO₃膜の比誘電率と混晶組成xの関係を示すデータのグラフである。

【図5】硅酸ビスマス上に形成したSrTi_{1-x}Bi_xO₃膜

【図4】

Ptシリサイド上のSrTi_{1-x}Bi_xO₃薄膜の比誘電率



* O₃膜の比誘電率と混晶組成xの関係を示すデータのグラフである。

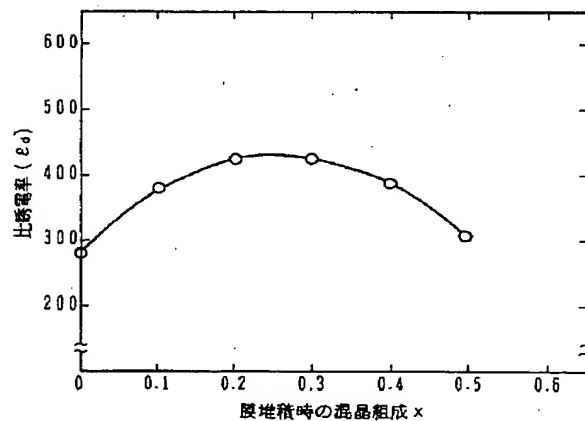
【図6】平坦化スタックセルの構成例を示す断面図である。

【符号の説明】

- 1 Si基板
- 2 金属層
- 3 金属シリサイド層
- 4 SrTi_{1-x}Bi_xO₃膜
- 7 試料
- 12 チャンバ
- 14 サセプタ
- 16 ベッセル
- 17、28 ヒータ
- 18 ECR
- 20 クヌードセンセル
- 31 p型Si基板
- 34、35 n型領域
- 37、38 多結晶Si領域
- 45 Pt電極
- 46 誘電体薄膜
- 48 プレート電極
- 51 XYステージ
- 52 ヒータ
- 55 Arレーザ
- 56 フィルタ
- 57 ミラー
- 58 レンズ

【図5】

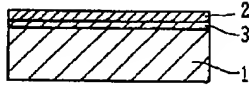
硅酸ビスマス上のSrTi_{1-x}Bi_xO₃薄膜の比誘電率



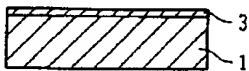
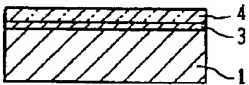
【図1】

基本実施例

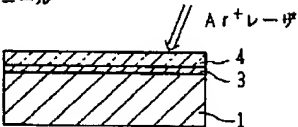
(A) 金属層の堆積



(B) 金属層の除去

(C) $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜の低温堆積

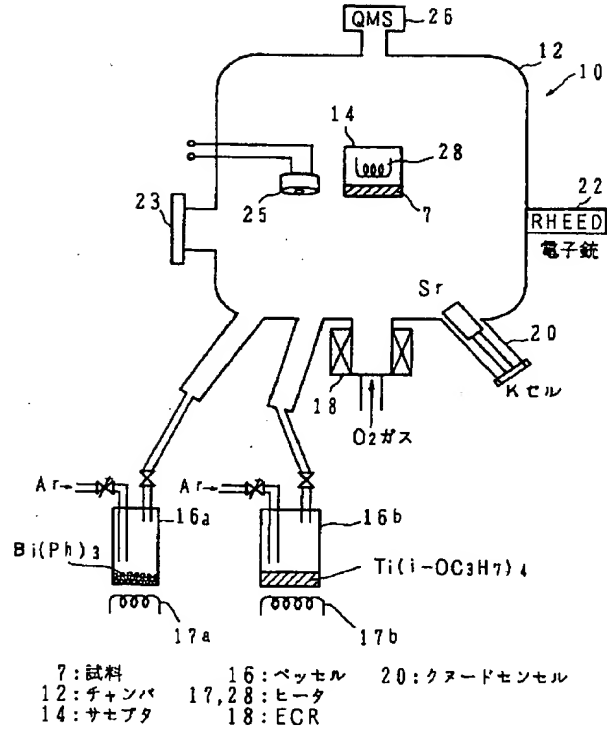
(D) レーザアニール



1: Si基板 3: 金属シリサイド層
2: 金属層 4: $\text{SrTi}_{1-x}\text{Bi}_x\text{O}_3$ 膜

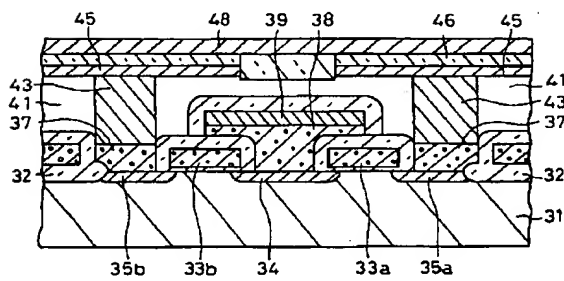
【図2】

MOMBE装置



【図6】

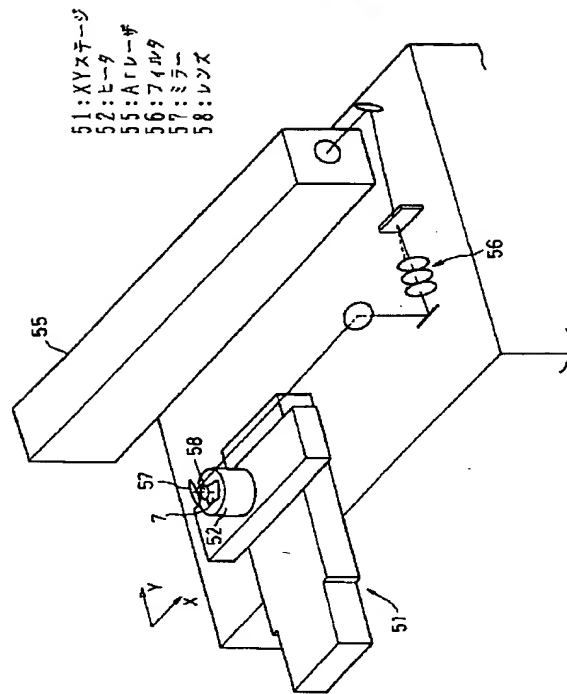
平坦化スタックセルの構成例



31: p型Si基板
34, 35: n型領域
37, 38: 多結晶Si領域
45: Pt電極
46: 誘電体薄膜
48: プレート電極

【図3】

レーザーアニール装置



フロントページの続き

(51)Int.Cl.³
H 0 1 L 27/108

識別記号 庁内整理番号 F I

技術表示箇所